

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

THIS PAGE BLANK (USPTO)



09-046551

(43)Date of publication of application : 14.02.1997

H04N 5/14
H03H 17/02
H04N 5/232

(71)Applicant : SONY CORP

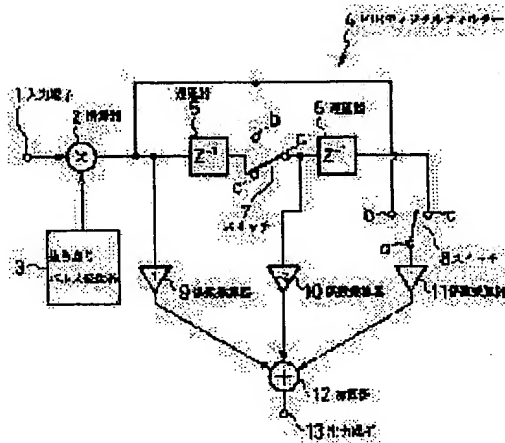
(72)Inventor : KURITA SUSUMU

(54) SIGNAL PROCESSOR AND IMAGE PICKUP DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To prevent an undesired peak from appearing in an output signal by providing a preset means presetting a prescribed value relating to an input signal just before start of extraction of an input signal.

SOLUTION: The processor is provided with a preset means presetting a prescribed value in relation to an input signal just before extraction of an input signal is started by an extract signal. That is, in this case, an extract pulse generator 3 forms an extract signal generating means, delay devices 5, 6 of an FIR (finite length impulse response) digital filter 4, coefficient multipliers 9-11, and an adder 12 form a band pass means, and switches 7, 8 of the FIR digital filter 4, coefficient multipliers 9-11 and an adder 12 form a preset means respectively. When an output signal except a peak is converged to zero, the zero is preset. Thus, an undesired peak is eliminated.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-46551

(43) 公開日 平成9年(1997)2月14日

(51) Int.Cl. ^a	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 N 5/14			H 0 4 N 5/14	Z
H 0 3 H 17/02	6 0 1	8842-5 J	H 0 3 H 17/02	6 0 1 P
H 0 4 N 5/232			H 0 4 N 5/232	H

審査請求 未請求 請求項の数 6 O L (全 13 頁)

(21) 出願番号 特願平7-193483

(22) 出願日 平成7年(1995)7月28日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 栗田 進

東京都品川区北品川6丁目7番35号 ソニー株式会社内

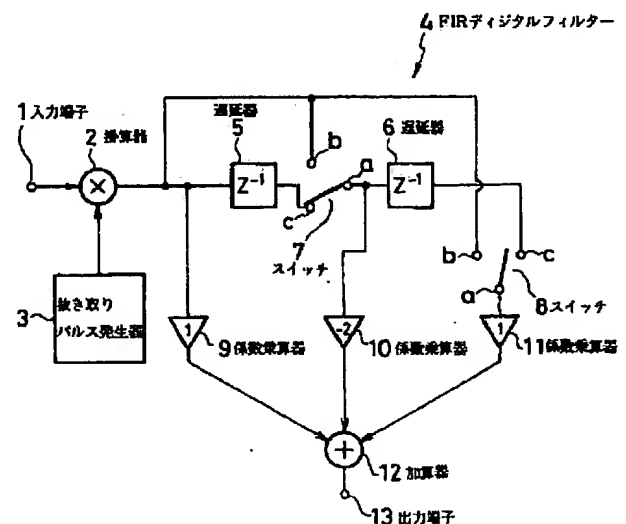
(74) 代理人 弁理士 松隈 秀盛

(54) 【発明の名称】 信号処理装置および撮像装置

(57) 【要約】

【課題】 出力信号に不要なピークが現れないことを課題とするようにした信号処理装置および撮像装置の提供を目的とする。

【解決手段】 信号抜き取り回路は、入力端子1と、掛算器2と、抜き取りパルス発生器3と、FIRデジタルフィルタ4と、出力端子13とを有する。FIRデジタルフィルタ4は、遅延器5、6と、スイッチ7、8と、係数乗算器9、10、11と、加算器12とを有する。



本実施例のFIRデジタルフィルタを用いた信号抜き取り回路の構成を示すブロック図

【特許請求の範囲】

【請求項 1】 入力信号のうちの所定期間を抜き取る抜き取り信号を発生する抜き取り信号発生手段と、

上記抜き取り信号により抜き取られた入力信号の所定周波数帯域を取り出す帯域通過手段とを有する信号処理装置において、

上記抜き取り信号により入力信号の抜き取りが開始される直前の、上記入力信号に関連した所定値をプリセットするプリセット手段を設けたことを特徴とする信号処理装置。

【請求項 2】 請求項第 1 項記載の信号処理装置において、

上記入力信号はデジタル信号であり、上記帯域通過手段は有限長インパルス応答のデジタルフィルターであることを特徴とする信号処理装置。

【請求項 3】 請求項第 1 項記載の信号処理装置において、

上記入力信号はデジタル信号であり、上記帯域通過手段は無限長インパルス応答のデジタルフィルターであることを特徴とする信号処理装置。

【請求項 4】 レンズと、被写体に対して上記レンズを移動して焦点を合わせるためのフォーカスマータと、上記レンズを通過した光を映像信号に変換する変換手段とを有する撮像装置において、

上記映像信号のうちの所定期間を抜き取る抜き取り信号を発生する抜き取り信号発生手段と、

上記抜き取り信号により抜き取られた映像信号の所定周波数帯域を取り出す帯域通過手段と、

上記抜き取り信号により映像信号の抜き取りが開始される直前の、上記映像信号に関連した所定値をプリセットするプリセット手段とを有する信号処理部を備えたことを特徴とする撮像装置。

【請求項 5】 請求項第 4 項記載の撮像装置において、上記映像信号はデジタル信号であり、上記帯域通過手段は有限長インパルス応答のデジタルフィルターであることを特徴とする撮像装置。

【請求項 6】 請求項第 4 項記載の撮像装置において、上記映像信号はデジタル信号であり、上記帯域通過手段は無限長インパルス応答のデジタルフィルターであることを特徴とする撮像装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、例えば、入力された信号から特定の信号を抜き取る信号処理装置および撮像装置に関する。

【0002】

【従来の技術】 従来、例えばテレビ受像機において、映像信号に対して水平または垂直ブランキング信号をかける場合や、カメラのオートフォーカスのターゲット信号を生成する場合などに用いられる信号抜き取り回路があ

った。

【0003】 図 7 にこの信号抜き取り回路を示す。まず、この信号抜き取り回路の構成を説明する。図 7 において、信号抜き取り回路は、入力端子 70 と、掛算器 71 と、抜き取りパルス発生器 72 と、ハイパスフィルター 73 と、出力端子 74 とを有する。抜き取りパルス発生器 72 は、例えば、PLL（フェイズ ロックド ループ）で構成され、パルスの幅、時間等の設定は任意にできる。ハイパスフィルター 73 は、例えば、デジタル

10 ルフィルターで構成され、抜き取りパルスにより抜き取られた入力信号の特定の周波数帯域を通過させる。

【0004】 このように構成された信号抜き取り回路の動作を以下に説明する。図 8 は、信号抜き取り回路の動作を説明するための波形図である。図 8 A に示す入力信号が入力端子 70 に入力されると、入力信号は掛算器 71 の一方の入力側に供給される。掛算器の他方の入力側には、図 8 B に示す抜き取りパルス信号が供給される。この抜き取りパルス信号は、予め入力信号の内の所定の期間内を抜き取るように図示しない制御部により設定さ

20 れている。

【0005】 掛算器 71 の出力側からは、抜き取りパルス信号により抜き取られた入力信号が出力される。抜き取りパルス信号により抜き取られた入力信号はハイパスフィルター 73 に供給される。ハイパスフィルター 73 は、抜き取りパルス信号により抜き取られた入力信号の周波数の内のカットオフ周波数よりも高い周波数の信号を通過させる。ハイパスフィルター 73 は、通過した信号を出力信号として出力端子 74 に供給する。図 8 C に出力信号を示す。出力信号は、図 8 C に示すように、抜き取りパルス信号の立ち上がり時にプラス方向のピーク 80 を有し、立ち下りの時にマイナス方向のピーク 81 を有する。このピーク 80、81 は不要のものである。しかし、ハイパスフィルター 73 の微分特性のため、出力信号に付加されてしまう。

【0006】

【発明が解決しようとする課題】 このように、従来の信号抜き取り回路では、ハイパスフィルター 73 の微分特性を何等考慮していないため、出力信号に不要なピーク 80、81 が現れ、これにより、信号抜き取りの出力信号の質が低下するという不都合があった。

40

【0007】 この発明は、かかる点に鑑みてなされたものであり、出力信号に不要なピークが現れないようにした信号処理装置および撮像装置の提供を目的とする。

【0008】

【課題を解決するための手段】 この発明の信号処理装置は、入力信号のうちの所定期間を抜き取る抜き取り信号を発生する抜き取り信号発生手段と、上記抜き取り信号により抜き取られた入力信号の所定周波数帯域を取り出す帯域通過手段とを有する信号処理装置において、上記抜き取り信号により入力信号の抜き取りが開始される直

50

前の、上記入力信号に関連した所定値をプリセットするプリセット手段を設けたものである。

【0009】また、この発明の撮像装置は、レンズと、被写体に対して上記レンズを移動して焦点を合わせるためのフォーカスマータと、上記レンズを通過した光を映像信号に変換する変換手段とを有する撮像装置において、上記映像信号のうちの所定期間を抜き取る抜き取り信号を発生する抜き取り信号発生手段と、上記抜き取り信号により抜き取られた映像信号の所定周波数帯域を取り出す帯域通過手段と、上記抜き取り信号により映像信号の抜き取りが開始される直前の、上記映像信号に関連した所定値をプリセットするプリセット手段とを有する信号処理部を備えたものである。

【0010】この発明の信号処理装置によれば以下の作用をする。抜き取り後の入力信号は、入力されるデジタル信号を抜き取り信号発生手段からの抜き取り信号で抜き取った後の信号である。この抜き取り後の入力信号は、帯域通過手段の第1の遅延器および第1の係数乗算器に供給される。この抜き取り後の入力信号は遅延なし信号である。

【0011】第1の遅延器は抜き取り後の入力信号を1周期(T)だけ遅延させる。第1の遅延器により遅延された信号は第2の遅延器に供給されるとともに第2の係数乗算器に供給される。第2の遅延器は供給された信号をさらに1周期だけ遅延させ、抜き取り後の入力信号に対して2周期(2T)だけ遅延させる。第2の遅延器により遅延された信号は第3の係数乗算器に供給される。

【0012】このとき、プリセット手段は有効としないので、遅延なし信号は第1の係数乗算器により増幅されて加算器に供給される。1T遅延信号は第2の係数乗算器により係数倍されて加算器に供給される。2T遅延信号は第3の係数乗算器により増幅されて加算器に供給される。この出力信号はハイパスフィルター故、ステップ入力を入れると、不要なピークを有する。

【0013】そこで、このピークを無くすために、出力信号にピークが無くなるプリセット手段を有効にする。このとき、抜き取り後の入力信号は直接、第1の係数乗算器、第2の係数乗算器、第3の係数乗算器に供給される。従って、抜き取り後の入力信号は第1の係数乗算器により増幅されて加算器に供給される。また、抜き取り後の入力信号は第2の係数乗算器により増幅されて加算器に供給される。また、抜き取り後の入力信号は第3の係数乗算器により増幅されて加算器に供給される。この出力信号はゼロである。

【0014】そして、出力信号からピークがなくなった後は遅延なし信号は第1の係数乗算器により増幅されて加算器に供給される。1T遅延信号は第2の係数乗算器により増幅されて加算器に供給される。2T遅延信号は第3の係数乗算器により増幅されて加算器に供給される。従って、加算器から出力される出力信号はゼロとな

る。

【0015】このように、出力信号がピークを除いてゼロに収束する場合には、ゼロをプリセットすることにより、不要なピークをなくすようにすることができる。

【0016】また、この発明の撮像装置によれば以下の作用をする。レンズを介して被写体の像に対応する光が変換手段に入る。変換手段はこの光を映像信号に変換する。映像信号は抜き取り信号発生手段に供給される。抜き取り信号発生手段は、映像信号のうちのカットオフ周波数より高い周波数の信号を通過させ、各ライン毎にピーク値をホールドする。画面全部にわたってピーク値をホールドすることにより、被写体を検出する。つまり、抜き取り信号発生手段は被写体を抜き取った映像信号を出力する。被写体を検出したときは、被写体検出信号を帯域通過手段に供給する。

【0017】帯域通過手段は、被写体検出信号のタイミングに基づいてプリセット手段を有効にして、所定のプリセット値をセットし、ピークを無くすようにして、出力信号をフォーカスマータに供給する。フォーカスマータはこの出力信号によりレンズを移動させて、被写体の焦点が合う位置に停止させる。この場合、例えば、出力信号は所定値に収束したときにゼロになるようにする。このようにして、オートフォーカスのターゲット信号を出力信号として出力することができる。

【0018】

【発明の実施の形態】以下に、本実施例を説明する。まず、本実施例の構成を示す。図1は、本実施例のFIR(有限長インパルス応答)デジタルフィルターを用いた信号抜き取り回路の構成を示すブロック図である。本実施例の信号抜き取り回路は、入力端子1と、掛算器2と、抜き取りパルス発生器3と、FIRデジタルフィルター4と、出力端子13とを有する。FIRデジタルフィルター4は、遅延器5、6と、スイッチ7、8と、係数乗算器9、10、11と、加算器12とを有する。

【0019】次に、本実施例のFIRデジタルフィルターを用いた信号抜き取り回路の接続関係を示す。入力端子1は掛算器2の一方の入力側に接続される。抜き取りパルス発生器3は掛算器2の他方の入力側に接続される。掛算器2の出力側は、遅延器5の入力側に接続されるとともに係数乗算器9の入力側に接続される。また、掛算器2の出力側は、スイッチ7の固定接点bに接続されるとともに、スイッチ8の固定接点bに接続される。遅延器5の出力側はスイッチ7の固定接点cに接続される。スイッチ7の可動接点aは係数乗算器10の入力側に接続されるとともに遅延器6の入力側に接続される。遅延器6の出力側はスイッチ8の固定接点cに接続される。スイッチ8の可動接点aは係数乗算器11の入力側に接続される。係数乗算器9、10、11の出力側は加算器12のそれぞれの入力側に接続される。加算器12

5

の出力側は出力端子 13 に接続される。

【0020】ここで、抜き取りパルス発生器 3 は抜き取り信号発生手段、FIR デジタルフィルタ 4 の遅延器 5、6、係数乗算器 9、10、11、加算器 12 は帯域通過手段、FIR デジタルフィルタ 4 のスイッチ 7、8、係数乗算器 9、10、11、加算器 12 はプリセット手段を構成する。

【0021】このように構成された本実施例の動作を以下に説明する。図 2 は、本実施例の FIR デジタルフィルタを用いた信号抜き取り回路の動作を示す波形図である。図 2 A は抜き取り後の入力信号であり、入力端子 1 に入力されるデジタル信号を抜き取りパルス発生回路 3 からの抜き取りパルスで掛算器 2 において抜き取った後の信号である。この抜き取り後の入力信号は、係数乗算器 9、遅延器 5、スイッチ 7 の固定接点 b、スイッチ 8 の固定接点 b にそれぞれ供給される。図 2 B は遅延なし信号であり、係数乗算器 9 に供給される信号である。

【0022】遅延器 5 は抜き取り後の入力信号を 1 周期だけ遅延させる。図 2 C は 1 T 遅延信号であり、遅延器 5 により 1 周期だけ遅延された信号である。遅延器 5 により遅延された信号はスイッチ 7 の固定接点 c に供給される。遅延器 6 は供給された信号をさらに 1 周期だけ遅延させ、抜き取り後の入力信号に対して 2 周期だけ遅延させる。図 2 D は 2 T 遅延信号であり、遅延器 6 によりさらに 1 周期だけ遅延された信号である。遅延器 6 により遅延された信号はスイッチ 8 の固定接点 c に供給される。

【0023】このとき、スイッチ 7 およびスイッチ 8 の可動接点 a が固定接点 c に接続されたままのときは、遅延なし信号は係数乗算器 9 により 1 倍に増幅されて加算器 12 に供給される。1 T 遅延信号は係数乗算器 10 により (-2) 倍に増幅されて加算器 12 に供給される。2 T 遅延信号は係数乗算器 11 により 1 倍に増幅されて加算器 12 に供給される。図 2 E はスイッチ切換なし出力信号であり、この出力信号はタイミング T0、T1 ではゼロである。ところが、タイミング T2 では、+1 [V] のピーク 20 となり、タイミング T3 では (-1) [V] のピーク 21 となり、タイミング T2、T3 でそれぞれピーク 20、21 となる。そして、タイミング T4 ~ T10 まではゼロとなる。

【0024】そこで、このピークを無くすために、タイミング T0 ~ T3 まではスイッチ 7 およびスイッチ 8 の可動接点 a を固定接点 b に接続し、タイミング T4 ~ T10 まではスイッチ 7 およびスイッチ 8 の可動接点 a が固定接点 c に接続するようにする。

【0025】図 2 G はスイッチ切換信号であり、図示しない制御部からスイッチ 7 およびスイッチ 8 の可動接点 a に供給される。このとき、タイミング T0 ~ T2 までは、抜き取り後の入力信号は直接、係数乗算器 9、1

6

0、11 に供給される。従って、抜き取り後の入力信号は係数乗算器 9 により 1 倍に増幅されて加算器 12 に供給される。また、抜き取り後の入力信号は係数乗算器 10 により (-2) 倍に増幅されて加算器 12 に供給される。また、抜き取り後の入力信号は係数乗算器 11 により 1 倍に増幅されて加算器 12 に供給される。図 2 F はスイッチ切換あり出力信号であり、この出力信号はタイミング T0 ~ T3 ではゼロである。

【0026】そして、各サンプリングタイミング T3 ~ T10 までは遅延なし信号は係数乗算器 9 により 1 倍に増幅されて加算器 12 に供給される。1 T 遅延信号は係数乗算器 10 により (-2) 倍に増幅されて加算器 12 に供給される。2 T 遅延信号は係数乗算器 11 により 1 倍に増幅されて加算器 12 に供給される。従って、加算器 12 から出力端子 13 に出力される出力信号はゼロとなる。このように、抜き取り信号によりステップが発生しても抜き取りタイミング時の値をプリセットすることにより、不要なピークをなくすようにすることができる。

【0027】次に、他の実施例を説明する。まず、他の実施例の構成を示す。図 3 は、他の実施例の IIR (無限長インパルス応答) デジタルフィルタを用いた信号抜き取り回路の構成を示すブロック図である。他の実施例の信号抜き取り回路は、入力端子 1 と、掛算器 2 と、抜き取りパルス発生器 3 と、IIR デジタルフィルタ 30 と、出力端子 38 とを有する。IIR デジタルフィルタ 30 は、遅延器 34 と、スイッチ 33、36 と、係数乗算器 31、35 と、加算器 32、37 とを有する。

【0028】ここで、抜き取りパルス発生器 3 は抜き取り信号発生手段、IIR デジタルフィルタ 30 の加算器 32、遅延器 34、係数乗算器 35、加算器 37 は帯域通過手段、IIR デジタルフィルタ 30 のスイッチ 33、36、係数乗算器 31、加算器 37 はプリセット手段を構成する。

【0029】次に、他の実施例の IIR デジタルフィルタを用いた信号抜き取り回路の接続関係を示す。入力端子 1 は掛算器 2 の一方の入力側に接続される。抜き取りパルス発生器 3 は掛算器 2 の他方の入力側に接続される。掛算器 2 の出力側は、加算器 32 の一方の加算入力側に接続されるとともに係数乗算器 31 の入力側に接続される。係数乗算器 31 の出力側はスイッチ 33 の固定接点 c に接続されるとともに、スイッチ 36 の固定接点 c に接続される。

【0030】加算器 32 の出力側はスイッチ 33 の固定接点 b に接続される。スイッチ 33 の可動接点 a は遅延器 34 の入力側に接続されるとともに、加算器 37 の一方の加算入力側に接続される。遅延器 34 の出力側はスイッチ 36 の固定接点 b に接続されるとともに、係数乗算器 35 の入力側に接続される。係数乗算器 35 の出力

側は加算器 32 の他方の減算入力側に接続される。スイッチ 36 の可動接点 a は加算器 37 の他方の減算入力側に接続される。加算器 37 の出力側は出力端子 38 に接続される。

【0031】このように構成された他の実施例の動作を以下に説明する。図 4 および図 5 は、他の実施例の IIR デジタルフィルタを用いた信号抜き取り回路の動作を示す波形図である。図 4 A は抜き取り後の入力信号であり、入力端子 1 に入力されるデジタル信号を抜き取りパルス発生回路 3 からの抜き取りパルスで掛算器 2 において抜き取った後の信号である。この抜き取り後の入力信号は、加算器 32 および係数乗算器 31 に供給される。加算器 32 の出力信号はスイッチ 33 の固定接点 b に接続される。

【0032】このとき、スイッチ 33 の可動接点 a は固定接点 b に接続されたままのときは、加算器 32 の出力信号はスイッチ 33 を介して遅延器 34 に供給される。遅延器 5 は加算器 32 の出力信号を 1 周期だけ遅延させる。遅延器 34 により 1 周期だけ遅延された信号は係数乗算器 35 に供給される。係数乗算器 35 は遅延された信号を α (α は整数とする。) 倍に増幅する。増幅された信号は加算器 32 に供給される。

【0033】そして、スイッチ 36 の可動接点 a は固定接点 b に接続されたままのときは、加算器 32 の出力信号はスイッチ 33 を介して加算器 37 の一方の加算入力に供給される。遅延器 24 により 1 周期だけ遅延された信号は加算器 37 の他方の減算入力に供給される。加算器 37 の出力側からは出力信号が出力端子 38 に出力される。従って、加算器 37 の一方の加算入力には $1/(1-\alpha Z^{-1})$ [V] の信号が供給される。また、加算器 37 の他方の減算入力には $Z^{-1}/(1-\alpha Z^{-1})$

[V] の信号が供給される。従って、加算器 37 の出力側からは $(1-Z^{-1})/(1-\alpha Z^{-1})$ [V] の出力信号が出力端子 38 に出力される。ここで、 Z^{-1} はデジタル信号解析に用いる逆 Z 変換を示す。

【0034】ここで、図 4 B は P 点の電位を示す信号であり、P 点の電位はタイミング T0、T1 ではゼロである。そして、タイミング T2 ~ T10 まではゼロから徐々に $1/(1-\alpha)$ [V] に収束する曲線となる。このとき、図 4 C はスイッチ切換なし出力信号であり、タイミング T2 で $1/(1-\alpha)$ [V] のピーク 40 を有し、タイミング T2 ~ T10 までは徐々にゼロに収束する信号となる。

【0035】そこで、このピーク 40 を無くすために、タイミング T0 ~ T2 まではスイッチ 23 およびスイッチ 26 の可動接点 a を固定接点 c に接続し、タイミング T2 ~ T10 まではスイッチ 23 およびスイッチ 26 の可動接点 a が固定接点 b に接続するようにする。

【0036】図 5 A に示すような入力信号が入力端子 1 に供給されているとき、抜き取りパルス発生器 3 からの

図 5 B に示すような抜き取りパルス信号で掛算器 2 において入力信号の抜き取りが行われる。

【0037】図 5 D はスイッチ切換信号であり、図示しない制御部からスイッチ 23 およびスイッチ 26 の可動接点 a に供給される。このとき、タイミング T0 ~ T2 までは、抜き取り後の入力信号は直接、係数乗算器 31 に供給される。従って、抜き取り後の入力信号は係数乗算器 31 により $1/(1-\alpha)$ 倍に増幅されて加算器 37 の加算入力に供給される。また、抜き取り後の入力信号は係数乗算器 31 により $1/(1-\alpha)$ 倍に増幅されて加算器 37 の減算入力に供給される。

【0038】従って、このときの P 点の電位はタイミング T0 ~ T3 では $1/(1-\alpha)$ [V] である。そして、出力電圧は図 5 C に示すようにタイミング T0 ~ T3 ではゼロとなる。

【0039】次に、タイミング T3 ~ T10 では抜き取り後の入力信号は加算器 32 に供給される。このときの P 点の電位は $1/(1-\alpha)$ [V] であり、出力電圧は図 5 C に示すようにタイミング T3 ~ T10 ではゼロ [V] を中心にした振幅 51 が現れる。この振幅 51 は、入力信号の 1 [V] を中心にした振幅 50 に対応する。

【0040】このように、出力信号がピーク 40 を除いてゼロ [V] に収束する場合であって、加算器 37 の加算入力を示す P 点の電位が $1/(1-\alpha)$ [V] に収束する場合には、 $1/(1-\alpha)$ [V] を P 点および加算器 37 の減算入力にプリセットすることにより、ピーク 40 をなくすようにすることができる。

【0041】図 6 は、他の実施例の信号抜き取り回路をオートフォーカスのターゲット信号抽出に用いた撮像装置の構成を示すブロック図である。この例の撮像装置の構成を説明する。この例の撮像装置は、移動レンズ 60 と、固定レンズ 61 と、CCD (チャージ カプルド デバイス) 62 と、マトリックス回路 63 と、被写体検出回路 64 と、モータ駆動回路 67 と、モータ 68 とを有する。被写体検出回路 64 は HPF (ハイパスフィルタ) 65 と、ピーク検出回路 66 とを有する。被写体検出回路 64 は図示せずとも図 1 および図 3 に示した掛算器 2 および抜き取りパルス発生器 3 を有する。HPF 65 は、図 1 および図 3 に示した FIR デジタルフィルタ 4 または IIR デジタルフィルタ 20 である。モータ 68 は図示しないギヤ等を介して移動レンズ 60 を被写体に対向する方向に接近または離隔させる機構を有する。ここで、CCD 62 は変換手段、HPF 65 は信号処理部、モータ 68 はフォーカスマータを構成する。

【0042】このように構成された撮像装置の動作を説明する。移動レンズ 60 および固定レンズ 61 を介して被写体の像に対応する光が CCD 62 に入る。CCD 62 はこの光を R (レッド), G (グリーン), B (ブル

10

20

30

40

50

一)の映像信号に変換する。R、G、Bの映像信号はマトリックス回路63に供給される。マトリックス回路63はR、G、Bの映像信号からコンポジット信号Cを生成する。コンポジット信号Cは被写体検出回路64のHPF65に供給される。HPF65は、コンポジット信号Cのうちのカットオフ周波数より高い周波数の信号を通過させる。HPF65を通過した信号はピーク検出回路66に供給される。ピーク検出回路66は、各ライン毎にピーク値をホールドする。画面全部にわたってピーク値をホールドすることにより、被写体高域信号を検出する。この高域信号はモータ駆動回路67に供給される。

【0043】ここで、HPF65は、被写体検出信号のタイミングに基づいて図1および図3に示したFIRデジタルフィルター4またはIIRデジタルフィルター20のスイッチを切り換えて、所定のプリセット値をセットし、ピークを無くすようにして、出力信号をモータ駆動回路67に供給する。モータ駆動回路67はこの信号に基づいてモータ駆動信号を生成し、モータ68に供給する。モータ68はこのモータ駆動信号により移動レンズ60を移動させて、被写体の焦点が合う位置に停止させる。この場合、例えば、出力信号は所定値に収束したときにゼロになるようにする。このようにして、オートフォーカスのターゲット信号を出力信号として出力することができる。

【0044】上例では、図1および図3に示した信号抜き取り回路のFIRデジタルフィルター4またはIIRデジタルフィルター20をオートフォーカスのターゲット信号を得るために用いる例を示したが、テレビ受像機において、映像信号に対して垂直または水平のブラ

【0045】

【発明の効果】この発明の信号処理装置は、入力信号のうちの所定期間を抜き取る抜き取り信号を発生する抜き取り信号発生手段と、上記抜き取り信号により抜き取られた入力信号の所定周波数帯域を取り出す帯域通過手段とを有する信号処理装置において、上記抜き取り信号により入力信号の抜き取りが開始される直前の、上記入力信号に関連した所定値をプリセットするプリセット手段を設けたので、帯域通過手段により出力信号に現れるピークをプリセット手段による所定値のプリセットにより相殺することができ、滑らかな出力信号を得ることができる。

【0046】また、この発明の信号処理回路は、上述において、上記入力信号はデジタル信号であり、上記帯域通過手段は有限長インパルス応答のデジタルフィルターであるので、デジタル信号に対して簡単な構成の有限長インパルス応答のデジタルフィルターを用いて容易に帯域通過手段により出力信号に現れるピークをプリセット手段による所定値のプリセットにより相殺すること

ができ、滑らかな出力信号を得ることができる。

【0047】また、この発明の信号処理回路は、上述において、上記入力信号はデジタル信号であり、上記帯域通過手段は無限長インパルス応答のデジタルフィルターであるので、デジタル信号に対して簡単な構成の無限長インパルス応答のデジタルフィルターを用いて容易に帯域通過手段により出力信号に現れるピークをプリセット手段による所定値のプリセットにより相殺することができ、滑らかな出力信号を得ることができる。

【0048】また、この発明の撮像装置は、レンズと、被写体に対して上記レンズを移動して焦点を合わせるためのフォーカスマータと、上記レンズを通過した光を映像信号に変換する変換手段とを有する撮像装置において、上記映像信号のうちの所定期間を抜き取る抜き取り信号を発生する抜き取り信号発生手段と、上記抜き取り信号により抜き取られた映像信号の所定周波数帯域を取り出す帯域通過手段と、上記抜き取り信号により映像信号の抜き取りが開始される直前の、上記映像信号に関連した所定値をプリセットするプリセット手段とを有する信号処理部を備えたので、帯域通過手段により出力信号に現れるピークをプリセット手段による所定値のプリセットにより相殺することができ、滑らかな出力信号を得ることができ、これにより、適切なオートフォーカスの動作を行うことができる。

【0049】また、この発明の撮像装置は、上述において、上記映像信号はデジタル信号であり、上記帯域通過手段は有限長インパルス応答のデジタルフィルターであるので、デジタル信号に対して簡単な構成の有限長インパルス応答のデジタルフィルターを用いて容易に帯域通過手段により出力信号に現れるピークをプリセット手段による所定値のプリセットにより相殺することができ、滑らかな出力信号を得ることができ、これにより、適切なオートフォーカスの動作を行うことができる。

【0050】また、この発明の撮像装置は、上述において、上記映像信号はデジタル信号であり、上記帯域通過手段は有限長インパルス応答のデジタルフィルターであるので、デジタル信号に対して簡単な構成の無限長インパルス応答のデジタルフィルターを用いて容易に帯域通過手段により出力信号に現れるピークをプリセット手段による所定値のプリセットにより相殺することができ、滑らかな出力信号を得ることができ、これにより、適切なオートフォーカスの動作を行うことができる。

【図面の簡単な説明】

【図1】この発明の一実施例のFIRデジタルフィルターを用いた信号抜き取り回路の構成を示すブロック図である。

【図2】この発明の一実施例のFIRデジタルフィルターを用いた信号抜き取り回路の動作を示す波形図である。

【図3】この発明の他の実施例のIIRデジタルフィ

ルターを用いた信号抜き取り回路の構成を示すブロック図である。

【図4】この発明の他の実施例のIIRデジタルフィルタを用いた信号抜き取り回路の動作を示す波形図である。

【図5】この発明の他の実施例のIIRデジタルフィルタを用いた信号抜き取り回路の動作を示す波形図である。

【図6】この発明の他の実施例のオートフォーカス機構を有する撮像装置の構成を示すブロック図である。

【図7】従来の信号抜き取り回路の構成を示すブロック図である。

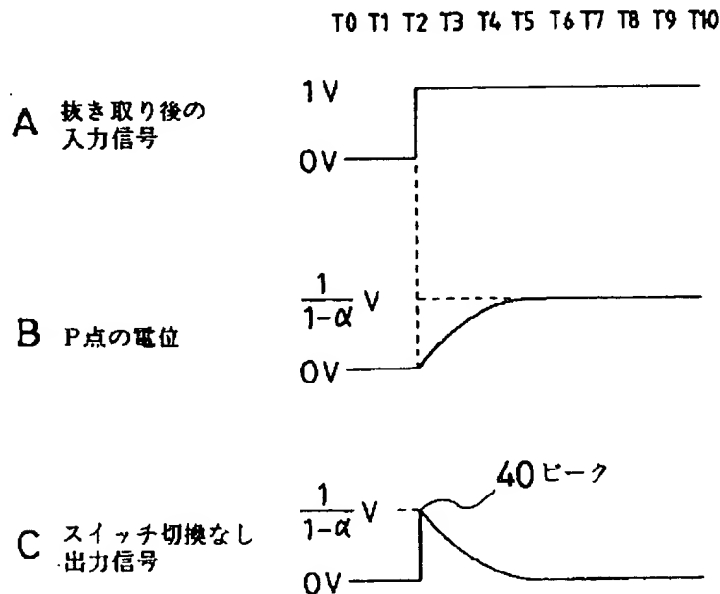
【図8】従来の信号抜き取り回路の動作を示す波形図である。

【符号の説明】

- 1 入力端子
- 2 掛算器
- 3 抜き取りパルス発生器
- 4 FIRデジタルフィルタ
- 5 遅延器
- 6 遅延器
- 7 スイッチ
- 8 スイッチ

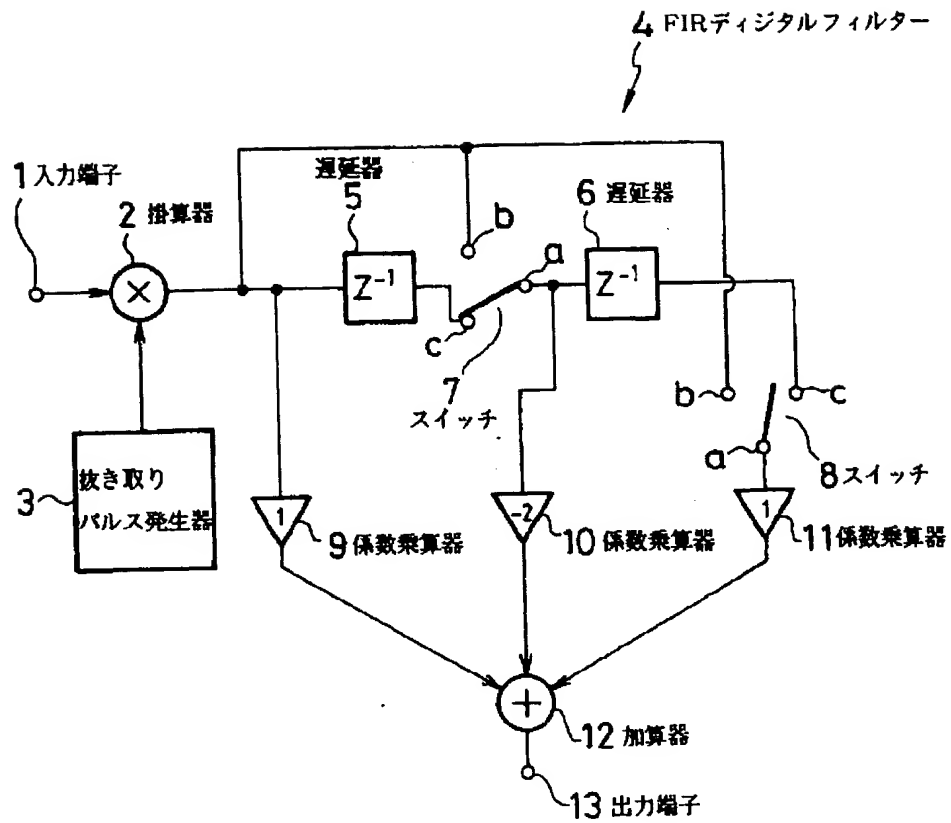
- 9 係数乗算器
- 10 係数乗算器
- 11 係数乗算器
- 12 加算器
- 13 出力端子
- 30 IIRデジタルフィルタ
- 31 係数乗算器
- 32 加算器
- 33 スイッチ
- 34 遅延器
- 35 係数乗算器
- 36 スイッチ
- 37 加算器
- 38 出力端子
- 60 移動レンズ
- 61 固定レンズ
- 62 CCD
- 63 マトリックス回路
- 64 被写体検出回路
- 20 65 HPF
- 66 ピーク検出回路
- 67 モータ駆動回路
- 68 モータ

【図4】



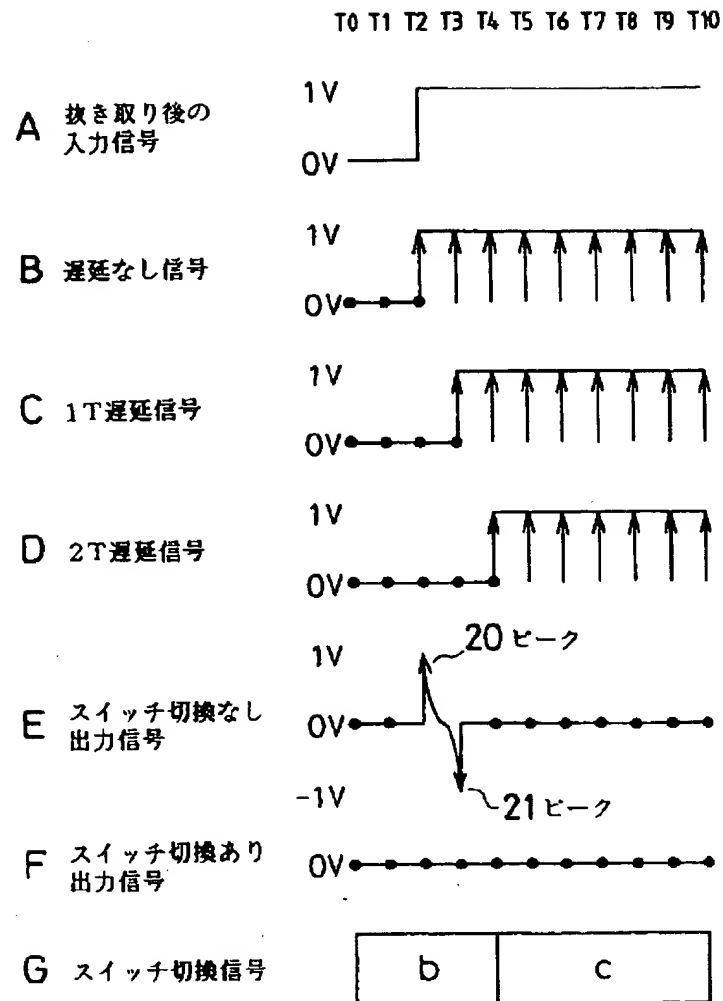
他の実施例のIIRデジタルフィルタを用いた信号抜き取り回路の動作を示す波形図

【図1】



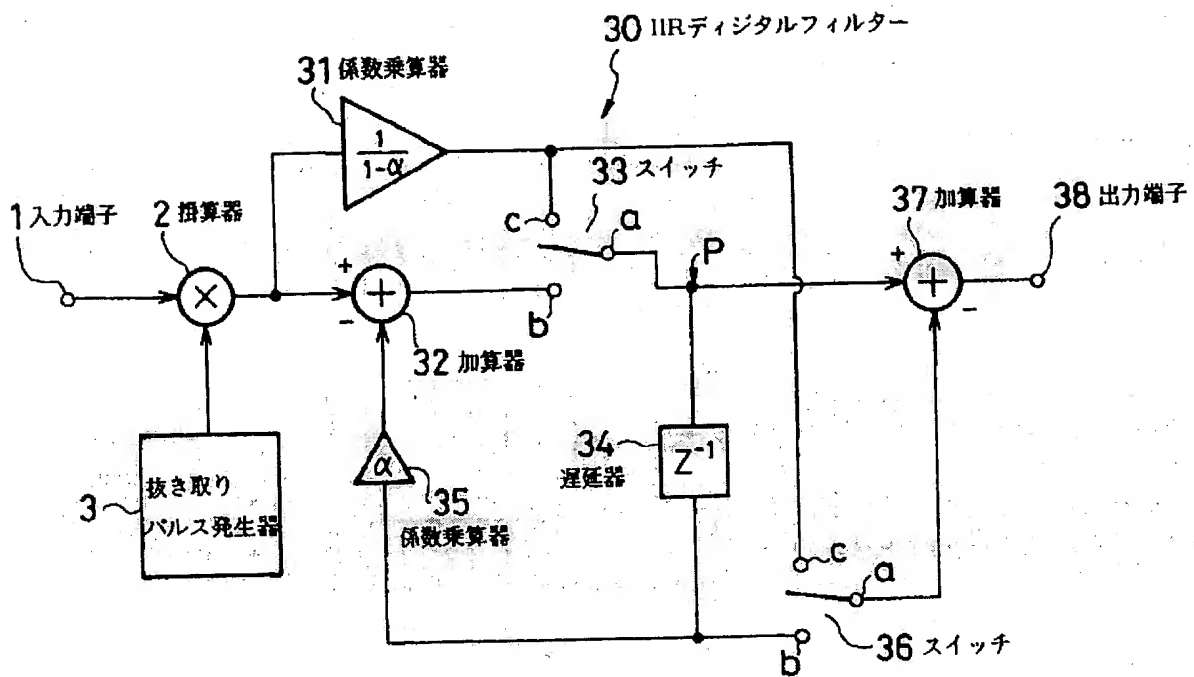
本実施例のFIRデジタルフィルターを用いた信号抜き取り回路の構成を示すブロック図

【図 2】



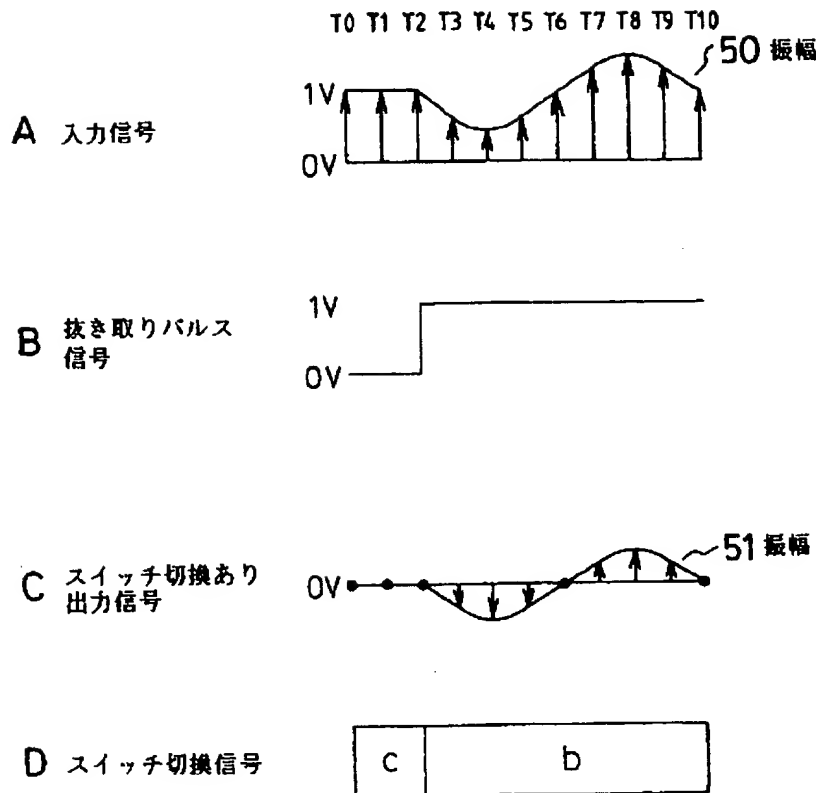
本実施例のFIRデジタルフィルターを
用いた信号抜き取り回路の動作を示す波形図

【図3】



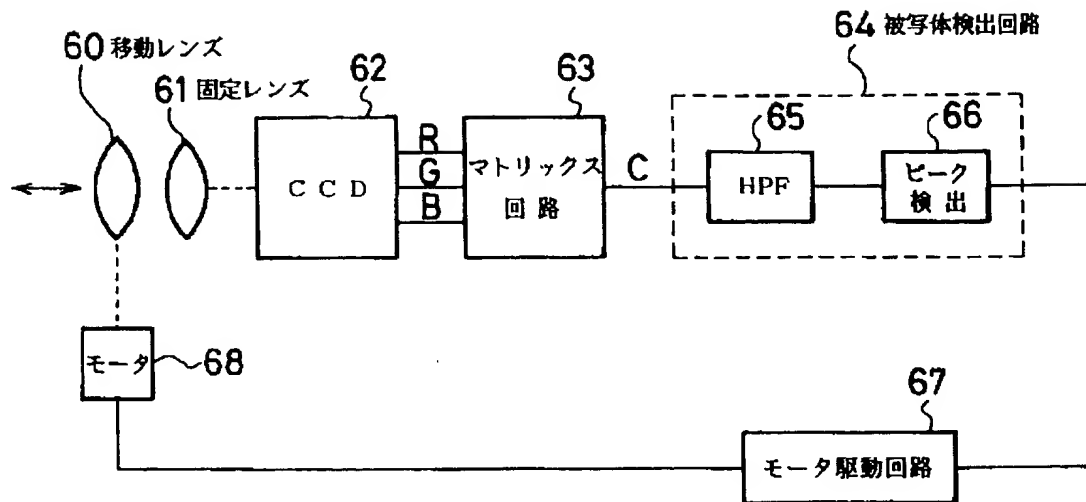
他の実施例のIIRデジタルフィルタを用いた信号抜き取り回路

【図 5】



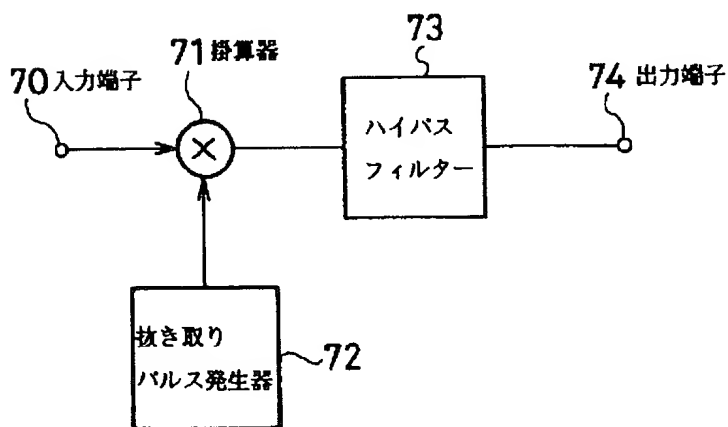
他の実施例のIIRデジタルフィルタを用いた信号抜き取り回路の動作を示す波形図

【図 6】



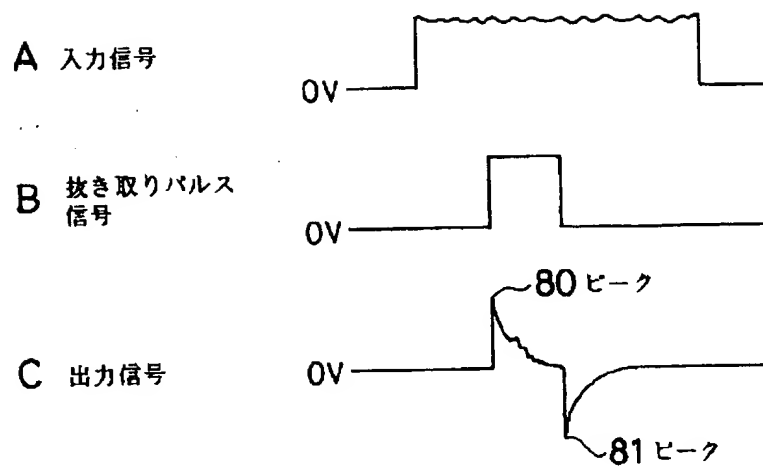
他の実施例のオートフォーカス機構を
有する撮像装置の構成を示すブロック図

【図 7】



従来の信号抜き取り回路の
構成を示すブロック図

【図 8】



従来の信号抜き取り回路の
動作を示す波形図

THIS PAGE BLANK (USPTO)